

社団法人 電子情報通信学会
THE INSTITUTE OF ELECTRONICS,
INFORMATION AND COMMUNICATION ENGINEERS

信学技報
TECHNICAL REPORT OF IEICE.
CAS95-67, ICD95-140 (1995-09)

クアドリテールセルをマルチプライヤ・コア回路として用いて実現される MOS 4象限アナログマルチプライヤ

木村 克治

日本電気株式会社・モバイルコミュニケーション事業部

〒224 横浜市筑都区池辺町4035番地

TEL:045(939)2316

E-mail:kimura@ccsmtp.mcd.yh.nec.co.jp

あらまし クアドリテールセルをマルチプライヤ・コア回路として用いて実現されるMOS 4象限アナログマルチプライヤについて報告する。クアドリテールセルは、適当な2入力電圧を組み合わせてコア回路のそれぞれのトランジスタのゲートに印加することで、マルチプライヤ・コア回路として動作する。この2つの入力電圧の組み合わせ方法は無数にある。しかし、このようなクアドリテールセルを用いて実現される全てのMOS 4象限アナログマルチプライヤは通常、ブルト(Bult)とヴァリンガ(Wallinga)の提案したマルチプライヤ、あるいはブルトの提案したマルチプライヤ(この回路はワン(Wang)によりあまねく知られるようになった)と等しい伝達特性を持つ。MOSマルチプライヤ・コア回路の入力回路は、もちろん、能動素子で実現できるが、もし、印加される電圧が全て正の組み合わせであれば抵抗分圧でも実現できる。提案するマルチプライヤ回路は、低電圧で動作し、nチャネルMOSトランジスタと抵抗によりMOSプロセスで簡単に実現できるので利用範囲が広い。

キーワード CMOS、4象限アナログマルチプライヤ、マルチプライヤ・コア回路、クアドリテールセル、抵抗分圧。

An MOS Four-Quadrant Analog Multiplier Based on the Multitail Technique Using a Quadritail Cell as a Multiplier Core

Katsuji KIMURA

Fundamental Technologies Development Department,

Mobile Communications Division, NEC Corporation

4035 Ikebe-Cho, Tsuzuki-Ku, Yokohama, 224, Japan

TEL:045(939)2316

E-mail:kimura@ccsmtp.mcd.yh.nec.co.jp

ABSTRACT—An MOS four-quadrant analog multiplier using a quadritail cell as a multiplier core is presented. A quadritail cell operates as a multiplier core by adding proper combinations of the two input voltages to the individual gates of the four transistors in the core, and also, there are numerous combinations of the two input voltages for a quadritail cell to properly multiply the two input voltages. But all MOS multipliers using a quadritail cell with the proper added combinations of the two input voltages usually possess transfer characteristics equivalent to those of the multiplier proposed by Bult and Wallinga and by Bult (rediscovered by Wang). An input system for the MOS multiplier core can, of course, be realized by active devices and also by resistive dividers, if all the added inputs are positive-combinations. The proposed multiplication circuitry is widely useful since it is operable on low voltage and can be simply implemented with n-channel MOS transistors and resistors in MOS technology.

key words CMOS, Four-quadrant analog multiplier, multiplier core, quadritail cell, resistor-ladder.

I. はじめに マルチプライヤは、整流検波、乗算、変調、復調、周波数変換、信号振幅の伸張・圧縮（いわゆるコンパンダ）等のアナログ信号処理に広く用いられる。マルチプライヤは、値が連続なアナログ信号における非線形動作の役割を演ずる。

2つの可変利得器を交叉接続してなる4象限アナログマルチプライヤの基本ブロック⁽¹⁾を図1に示す。このマルチプライヤの構成は周波数ミキサとして西城⁽²⁾により提案され、例えば、類似の回路⁽³⁾も提案されている。この回路においては、可変利得器はチューナブル電圧に対して、トランスコンダクタンスが単調増加する。この回路はバイポーラでもMOS⁽¹⁾でも実現できる。図2(a)に示す二重平行型差動増幅回路^{(4)・(5)}は、いわゆる「ギルバートマルチプライヤ・セル」と呼ばれ、交叉接続された2つの可変利得器は同一の2象限アナログマルチプライヤ⁽⁶⁾ではあるが、このタイプに分類される。図2(b)に示すMOS 4象限アナログマルチプライヤ⁽⁷⁾はセイジ(Sage)とキャボン(capon)により1979年に発表されたが、メイヴァ(mavor)が提案したMOS 2象限アナログマルチプライヤ⁽⁸⁾を2つ交叉接続して得られる。さらに、このMOS 4象限アナログマルチプライヤはワンにより1993年⁽⁹⁾に再び論じられた。

図2(a)（ギルバート）と図2(b)（セイジとキャボン）との違いは、バイポーラトランジスタと電界効果トランジスタの違い、すなわち、バイポーラトランジスタは電流制御型素子であるのに対し電界効果トランジスタは電圧制御型素子であることを明確に強調しておもしろい。しかし、このMOSマルチプライヤは、第二の入力信号に対して周波数応答が悪く、低電圧動作にも適しない。

第二の4象限アナログマルチプライヤの回路構成方法は、古くからクォータスクエア技術として良く知られており、次の方程式に基づく。

$$\frac{1}{4} \{ (X+Y)^2 - (X-Y)^2 \} = XY \quad (1)$$

数多くのクォータスクエアマルチプライヤが議論されてきており、例えば、文献(10)や(11)があが、筆者は、1993年⁽¹⁾と1994年⁽¹²⁾に、実用的なマルチプライヤ

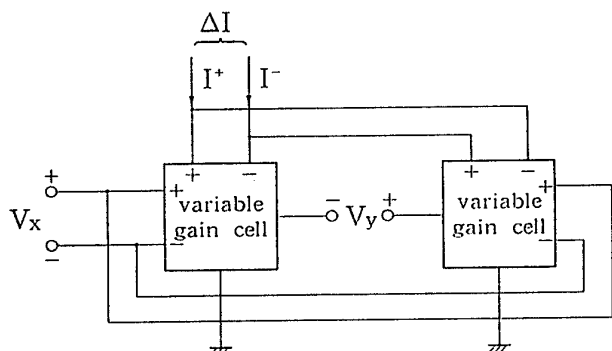
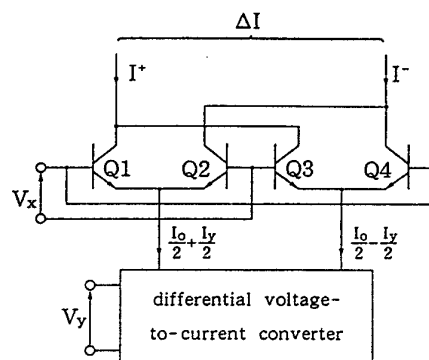
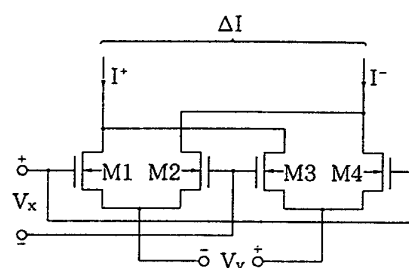


図1 交叉接続された2つの可変利得器から構成される1番目の4象限アナログマルチプライヤのブロック図。



(a)



(b)

図2 交叉接続された2つの2象限アナログマルチプライヤから構成されるバイポーラおよびMOSマルチプライヤ。(a) ギルバートマルチプライヤセル。(b) セイジとキャボンの提案による。

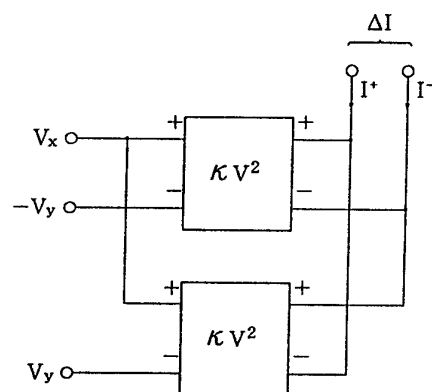


図3 交叉接続された2つの2乗回路から構成される、クォータスクエア技術に基づいた、2番目の4象限アナログマルチプライヤのブロック図。

回路の構成方法を理論立てて発表している。この回路構成においては、2つの2乗回路と、入力回路に加算回路と減算回路を必要とする。

本論文においては、上述した2つの回路構成を織り混ぜたやり方を用いた低電圧動作可能なMOSマルチプライヤの実現方法を論じる。

II. 2つのやり方を織り混ぜた回路構成に基づく4象限アナログマルチプライヤ

セイジとキャボンにより提案された2つの同一の2象限アナログマルチプライヤを交叉接続して得られるMOS 4象限アナログマルチプライヤ⁽⁶⁾は、図4(a)と図4(b)に説明されるように、2つのMOS差動対間の駆動共通ソース電圧が

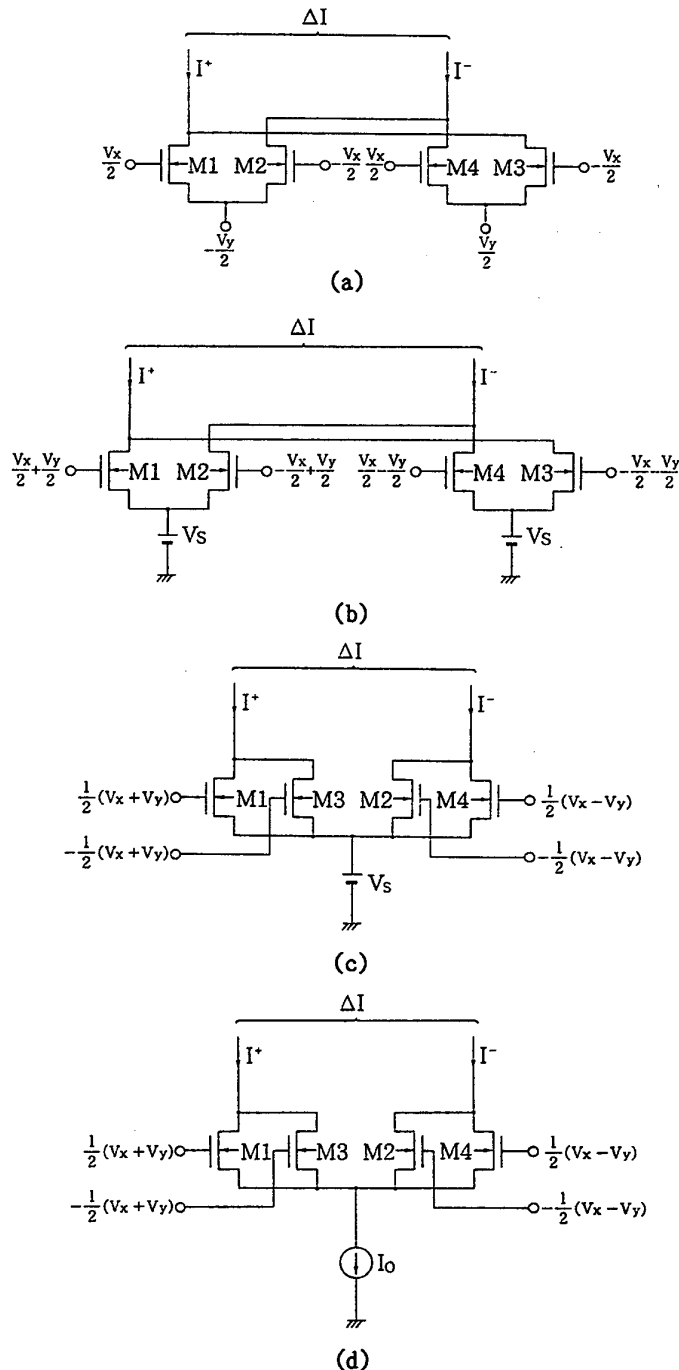


図4 交叉接続された2つの2象限アナログマルチプライヤから構成されるMOSマルチプライヤのバリエーション。(a) 第二の入力電圧をソースに印加する場合。(b) 第二の入力電圧をゲートに印加する場合。(c) 定電圧で共通ソースを駆動する場合。(d) 定電流で共通ソースを駆動する場合。

互いに等しい時に、第二の入力電圧の印加端子をソースからゲートに移動して変更することができる。したがって、図4(b)に示す共通ソース電圧が等しい電圧源で駆動される2つのMOS差動対は、図4(c)に示す定電圧駆動されるクアドリテールセルとなる。さらに、定電圧駆動される4つのトランジスタからなるマルチプライヤ・セルは、図4(d)に示す定電流駆動される4つのトランジスタからなるマルチプライヤ・セル⁽¹³⁾に等価的に修正される。

一方、図5(a)に示す交叉接続されたクアドリテールセル⁽¹⁴⁾は、図5(b)に示すオクトテールセルに内包される交叉接続された2乗回路に置き換えることができる。なぜなら、クアドリテールセル、あるいは、オクトテールセル内の全てのトランジスタが飽和領域で動作している時には、これらの

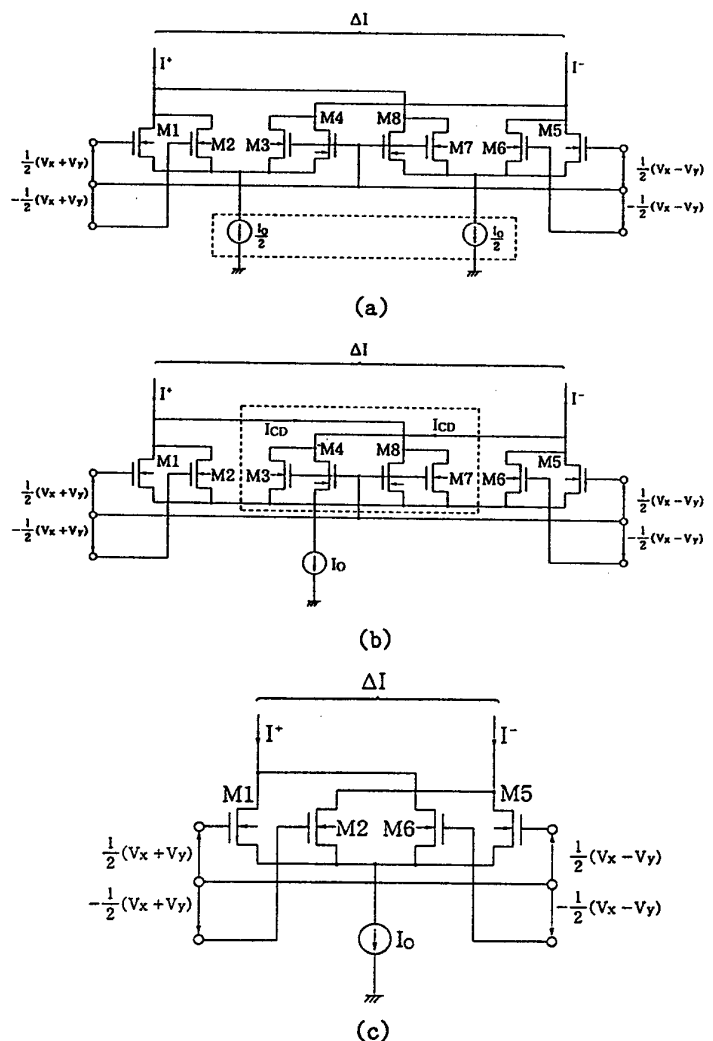


図5 交叉接続された2つの2乗回路から構成される、クォータスクエア技術に基づくMOSマルチプライヤのバリエーション。(a) 交叉接続された2つのクアドリテールセルから構成される場合。(b) 全てのソースが共通接続されたオクトテールセルから構成される場合。(c) 共通のドレイン電流を出力するトランジスタを省いてクアドリテールセルで構成する場合。

伝達特性は互いに等しくなるからである。さらに、オクテールセル内で同じ動作状態の4つのトランジスタは省略できる。というのは、図5(b)に示されるように、セルの差動出力電流は、同じ値を維持するからである。したがって、図5(c)に示す定電流駆動される4つのトランジスタからなるマルチプライヤ・セルが導かれる。ここで、図4(d)と図5(c)は同一回路である。図5(c)に示すマルチプライヤ・セルはクアドリテールセルであり、入力電圧を別にすれば、図6に示すブルトにより提案⁽¹³⁾され、ワンにより再提案⁽¹⁵⁾されたセルと同一である。さらに、これはまた、ブルトとヴァリングが1986年に提案したマルチプライヤ⁽¹⁶⁾そのものである。ブルトとヴァリングが提案したマルチプライヤ・セルとブルトが提案し、ワンが再提案したマルチプライヤ・セルのいずれも同じクアドリテールセルから構成されており、これらの回路は、もちろん、等価である。したがって、同一の直流伝達特性を持つ。このマルチプライヤ・セルは、入力回路に加算回路と減算回路を必要とし、また、ブルトにより、「マルチプライヤ・コア回路⁽¹³⁾」と名付けられた。マルチプライヤ・コア回路を構成する4つのトランジスタのそれぞれのゲートに印加される第一と第二の入力信号の組み合わせ方法は、これまでに2通り議論されている。

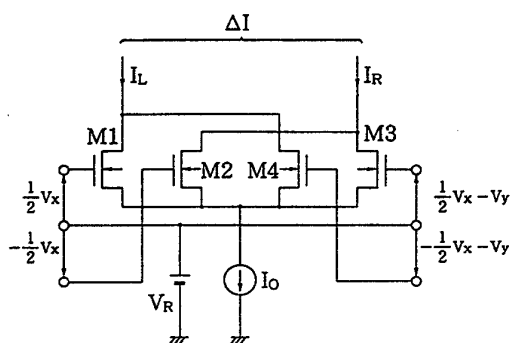


図6 ブルトが提案し（、ワンが再提案し）たMOSマルチプライヤ・コア回路。

III. クアドリテールセルから構成されるMOSマルチプライヤ・コア回路の動作原理

図7に、マルチプライヤ・コア回路として用いたクアドリテールと入力回路から構成されるMOSマルチプライヤのブロック図を示す。素子間の整合性は良いものとし、基板効果とチャンネル長変調を無視すると、それぞれのドレイン電流は次のように示される。

$$\begin{cases} I_{Dj} = \beta (V_R + V_j - V_S - V_{TH})^2 & (V_R + V_j - V_S \geq V_{TH}) \quad (2a) \\ I_{Dj} = 0 & (V_R + V_j - V_S \leq V_{TH}) \quad (2b) \end{cases}$$

ここで、 $\beta = \mu (C_{ox}/2)(W/L)$ はトランスコンダクタンスパラメータ、 μ はキャリアの実効モビリティ、 C_{ox} は単位面積当たりのゲート酸化膜容量、 W と L はチャンネル幅とチャンネル長、 V_{TH} はスレッシュヨルド電圧、 V_S は共通ソース

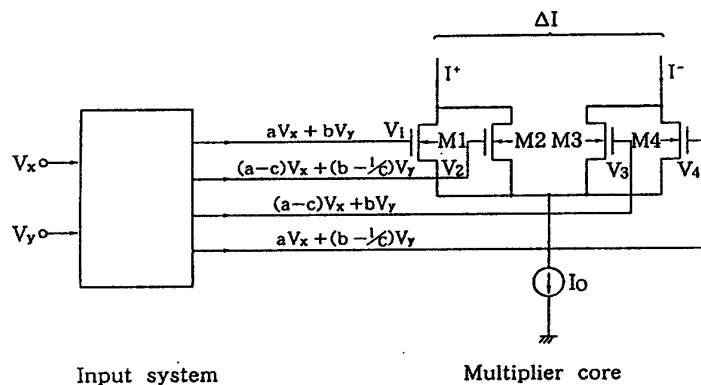


図7 クアドリテールセルと入力回路からなる一般化されたMOS 4象限アナログマルチプライヤ。

電圧、 V_R は入力信号の共通直流電圧である。コア回路を構成する4つのトランジスタのそれぞれのゲートへの入力電圧は次のように、規格化され、一般化される。

$$V_1 = aV_x + bV_y, \quad (3a)$$

$$V_2 = (a-c)V_x + (b-1/c)V_y, \quad (3b)$$

$$V_3 = (a-c)V_x + bV_y, \quad (3c)$$

$$V_4 = aV_x + (b-1/c)V_y, \quad (3d)$$

ここで、 a, b, c は定数である。また、 $V_1 - V_3 = V_4 - V_2 = cV_x$ かつ $V_1 - V_4 = V_3 - V_2 = V_y/c$ である。例えば、 $a=b=1/2, c=1$ と置くと、ブルトとヴァリングが提案したマルチプライヤ・コア回路となる。また、 $a=1/2, b=1, c=1$ と置くとブルトが提案したマルチプライヤ・コア回路となる。さらに、 $a=b=c=1$ 、あるいは、 $a=2, b=c=1$ と置くと本論文で提案するマルチプライヤ・コア回路となる。

それぞれのテール電流は合算され、

$$I_{D1} + I_{D2} + I_{D3} + I_{D4} = I_0 \quad (4)$$

(2)式と(3)式を(4)式に代入すると、MOSマルチプライヤ・コア回路の差動出力電流は

$$\Delta I = I^+ - I^- = (I_{D1} + I_{D2}) - (I_{D3} + I_{D4})$$

$$= \begin{cases} 2\beta V_x V_y, & (V_x^2 + V_y^2 + |V_x V_y| \leq \frac{I_0}{2\beta}) \quad (5a) \\ \frac{4}{3}\beta V_x V_y - \frac{1}{9}\text{sgn}(V_x V_y)\{3I_0 + \beta(|V_x| + |V_y|)^2 - 4\beta(|V_x| + |V_y|) \sqrt{\frac{3I_0}{\beta} - 2(|V_x| + |V_y|)^2 + 6|V_x||V_y|}\} & (V_x^2 + V_y^2 + |V_x V_y| \geq \frac{I_0}{2\beta}) \end{cases}$$

$$\geq V_x^2 + V_y^2 - \frac{5}{3}|V_x V_y| \quad (5b)$$

$$\begin{cases} (\beta V_y \sqrt{\frac{I_0}{\beta} - V_y^2}) \text{sgn}(V_x) & (V_x^2 + V_y^2 - \frac{5}{3}|V_x V_y| \geq \frac{I_0}{2\beta}) \quad (5c) \end{cases}$$

パラメータ a, b, c は首尾良く消去される。したがって、飽和領域で動作するMOSトランジスタが2乗則に従うものと仮定し、トランジスタがカットオフしない入力電圧においては、MOSマルチプライヤ・コア回路を用いることで、理想的な乗算特性が得られる。入力電圧が次第に大きくなるに

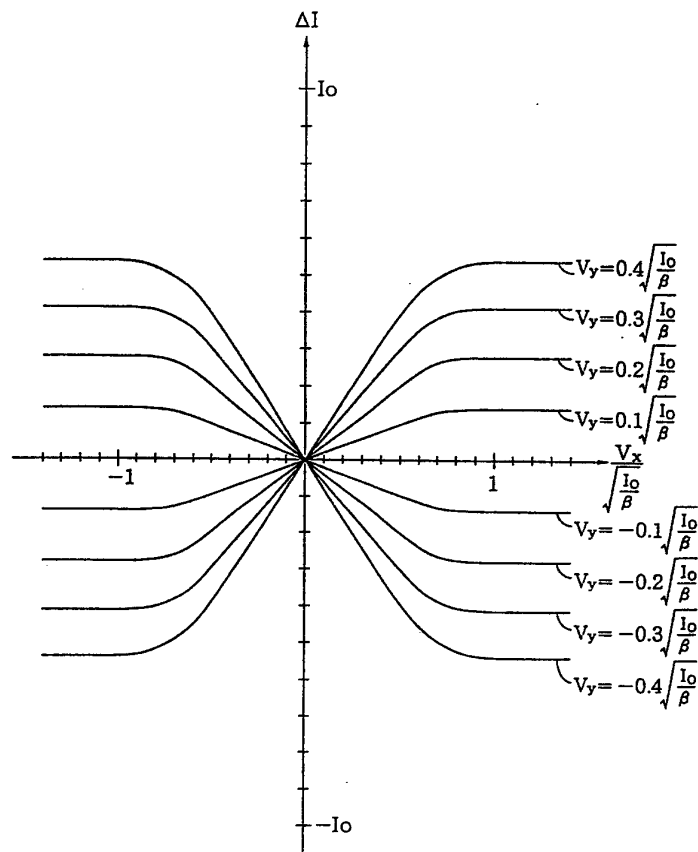


図8 MOS 4象限アナログマルチプライヤの伝達特性の計算値 (V_y : パラメータ)。

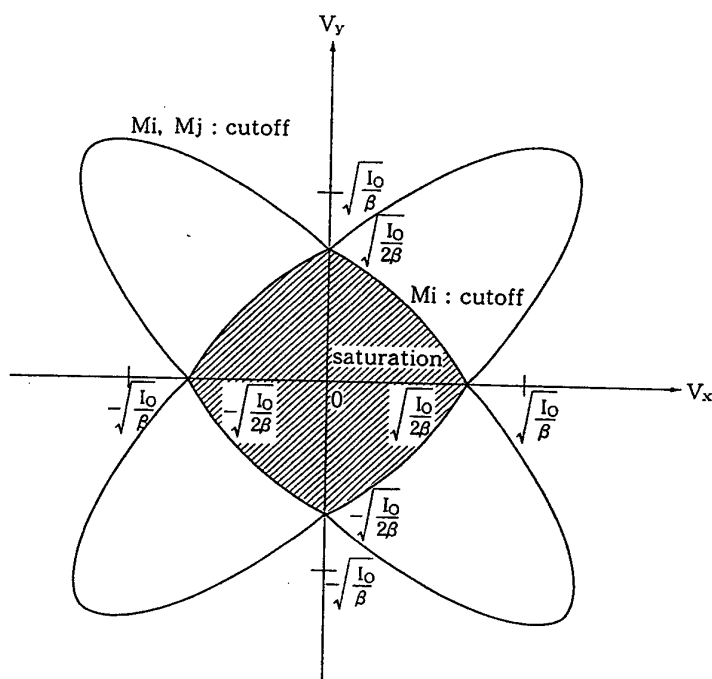


図9 MOSマルチプライヤ・コア回路の動作電圧範囲。

したがって、コア回路を構成するトランジスタがカットオフし始め、コア回路の乗算特性は理想特性からずれてくる。

図8に、 V_y をパラメータにして、(5)式を用いて計算した、MOSマルチプライヤ・コア回路の伝達特性を示す。マルチプライヤ・コア回路はただ1つのテール電流しか持たないので、入力信号が増加していくのに対して、リミティング特性を持つ。動作範囲は図9に示される。ここで、最適動作の入力電圧範囲は斜線で示した菱形の領域であり、不完全動作する入力電圧範囲は四葉で示される内部である。

(5)式を V_x について微分すると、MOSマルチプライヤ・コア回路のトランスコンダクタンス特性は、

$$\frac{d(\Delta I)}{dV_x} = \begin{cases} 2\beta V_y, & (V_x^2 + V_y^2 + |V_x V_y| \leq \frac{I_o}{2\beta}) \quad (6a) \\ \frac{4}{3}\beta V_y - \frac{4}{9}\beta \operatorname{sgn}(V_x V_y) \{ (|V_x| + |V_y|) \\ - 2\beta \sqrt{\frac{3I_o}{\beta} - 2(|V_x| + |V_y|)^2 + 6V_x V_y} \\ + \frac{4\beta (|V_x| + |V_y|)^2}{\sqrt{\frac{3I_o}{\beta} - 2(|V_x| + |V_y|)^2 + 6V_x V_y}} \} \\ (V_x^2 + V_y^2 + |V_x V_y| \geq \frac{I_o}{2\beta} \\ \geq V_x^2 + V_y^2 - \frac{5}{3}|V_x V_y|) \quad (6b) \\ 0 \quad (V_x^2 + V_y^2 - \frac{5}{3}|V_x V_y| \geq \frac{I_o}{2\beta}) \quad (6c) \end{cases}$$

図10に、 V_y をパラメータにして、(6)式を用いて計算した、MOSマルチプライヤ・コア回路のトランスコンダクタンス特性を示す。

MOSマルチプライヤ・コア回路のトランスコンダクタンス特性は、第一入力電圧 V_x と第二入力電圧 V_y に関して互いに等しい。

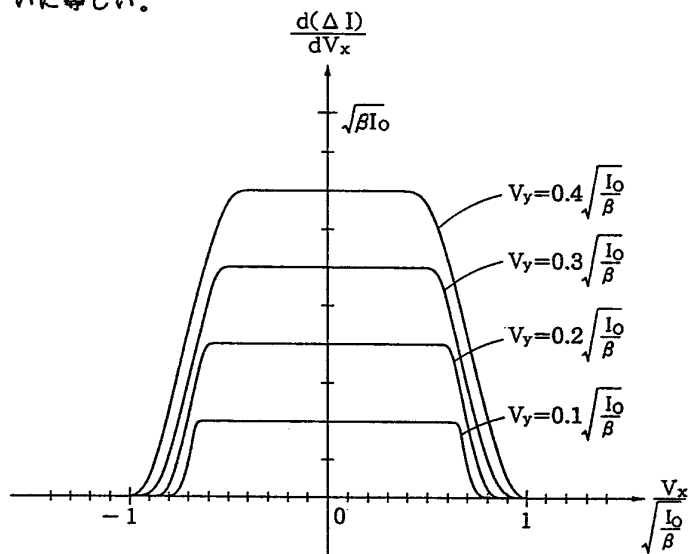


図10 MOSマルチプライヤ・コア回路のトランスコンダクタンス特性の計算値 (V_y : パラメータ)。

IV. MOS 4象限アナログマルチプライヤの構成

a—能動加算回路を用いるやり方

マルチプライヤ・コア回路には、第一と第二の入力電圧を組み合わせるそれぞれのトランジスタへのゲート電圧を発生させる入力回路が必要となる。MOSプロセスにおいて、加算回路は2つのMOS差動対^{(17)・(18)・(14)・(15)}で構成できる。加算機能は、図11に示す回路⁽¹⁷⁾によりうまく実現できる。出力電圧⁽¹³⁾は、

$$V_{OUT} = V_{REF} + V_{IN} \quad (7)$$

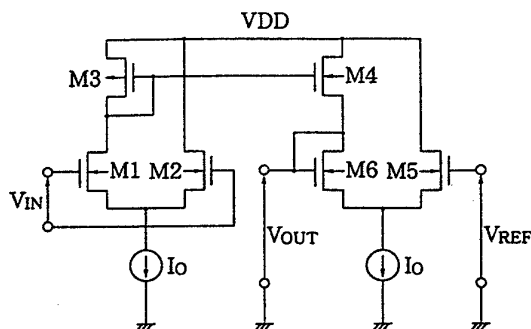


図11 電圧加算回路。

図12に、(3)式で $a=b=c=1$ の時の、マルチプライヤ・コア回路と加算回路からなるCMOS 4象限アナログマルチプライヤの回路図を示す。このCMOS 4象限アナログマルチプライヤは、加算回路に2対のMOS差動対しか必要としないため、ブルトが提案した回路^{(14)・(15)}よりも回路規模小さい。こうしたCMOS 4象限アナログマルチプライヤは、加算回路に用いるpチャンネルMOSトランジスタの f_T (遷移周波数) で高周波動作が制限されて、周波数特性は優れていない。

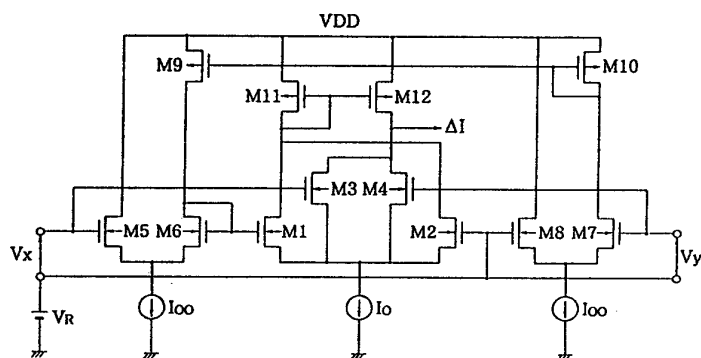


図12 MOSマルチプライヤ・コア回路と加算回路からなるCMOS 4象限アナログマルチプライヤ。

b—能動減算回路を用いるやり方

MOSプロセスにおいて、減算回路は、カスコード・トランジスタ、あるいは、カスコード・クアドリテールセル⁽¹⁸⁾、あるいは、また、トリプルカスコード・クアドリテールセルで構成できる。

図13(a)に、(3)式で $a=b=c=1$ の時の、マルチプライヤ・コア回路と減算回路から構成されるCMOS 4象限アナログマルチプライヤの回路図を示し、図13(b)に、(3)式で $a=2$ 、かつ $b=c=1$ の時の、他の回路図を示す。これらの回路は、(3)式に $a=1/2$ 、 $b=c=1$ を代入すると導けるワン等が提案した電圧制御可能なMOS線形トランスコンダクタンスアンプ⁽¹⁸⁾に非常に類似している。したがって、これらの回路もまた、電圧制御可能なMOS線形トランスコンダクタンスアンプとして用いられよう。

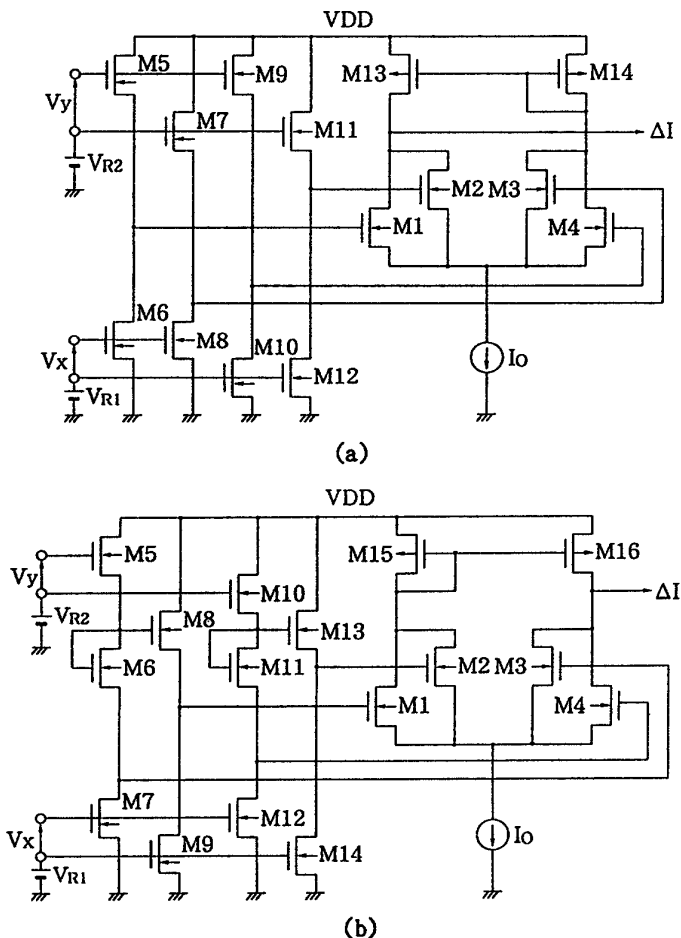


図13 MOSマルチプライヤ・コア回路と減算回路からなるMOS 4象限アナログマルチプライヤ。(a) $a=b=1$ の場合の第一の実現回路。(b) $a=2$ 、 $b=1$ の場合の第二の実現回路。

c—分圧抵抗を用いるやり方

加算機能は、簡単な加算回路である抵抗分圧回路⁽¹⁹⁾を用いた他の構成でも、また同様に、実現できる。もし、(3)式において、 $a \geq c$ 、 $b \geq 1/c$ であれば、全てのゲート電圧は正だけの入力電圧で実現できる。抵抗のような受動素子だけで実現することは非常に容易である。この場合には、マルチプライヤの全体回路は、抵抗分圧によって2つの入力電圧が加算され、ゲート電圧 V_1 、 V_2 、 V_3 、 V_4 の全てが発生できるので、nチャンネルMOSトランジスタと抵抗で簡単に実現さ

れる。

図14は、それぞれの抵抗値が mR と nR である4つの抵抗分圧回路からなる一般化した抵抗ラダー回路を示す。4つのゲートに供給されるそれぞれの入力電圧は、

$$V_1 = \frac{mV_C + nV_A}{m+n} \quad (8a)$$

$$V_2 = \frac{mV_D + nV_B}{m+n} \quad (8b)$$

$$V_3 = \frac{mV_D + nV_A}{m+n} \quad (8c)$$

$$V_4 = \frac{mV_C + nV_B}{m+n} \quad (8d)$$

ここで、 $V_A - V_B = V_x$ かつ $V_C - V_D = V_y$ である。

最適動作時における抵抗分圧回路を持つMOSマルチプライヤの差動出力電流は、

$$\Delta I = \frac{2mn\beta}{(m+n)^2} V_x V_y$$

$$\left(\frac{V_x^2}{n^2} + \frac{V_y^2}{m^2} + \frac{|V_x V_y|}{nm} \leq \frac{I_0}{2(m+n)^2 \beta} \right) \quad (9)$$

MOSマルチプライヤの積は、抵抗分圧回路により $mn/(m+n)^2$ だけ減少する。もし、図14で $V_B = V_D$ ならば、第二のトランジスタM2のゲートに接続される抵抗対は省略できる。

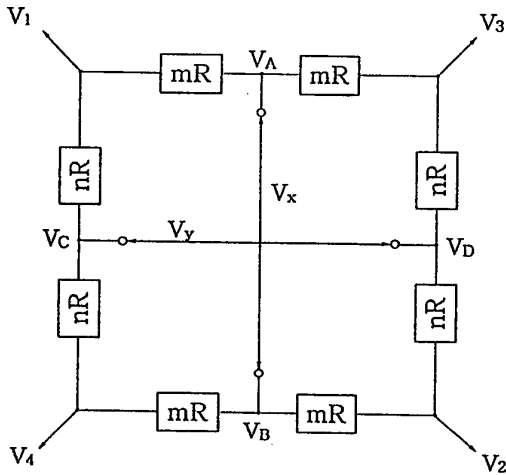
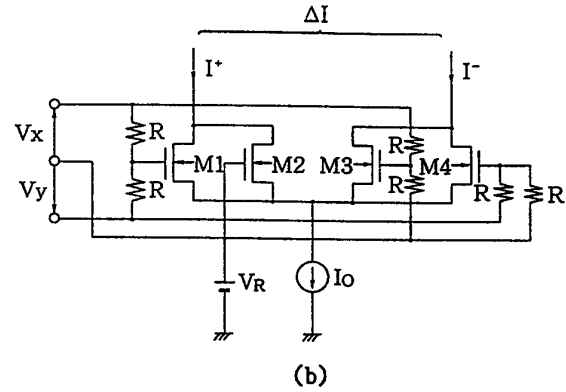
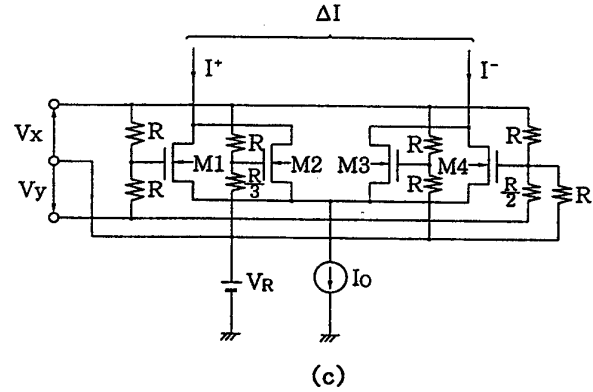


図14 一般的な抵抗ラダー回路。



(b)



(c)

図15 MOSマルチプライヤ・コア回路と分圧抵抗からなるMOS4象限アナログマルチプライヤ。(a) $a=b=1, m=n$ の場合。(b) $a=2, b=1, m=n$ の場合。(c) $a=2, b=1, m=n$ の場合。

図15(a)は、 $a=b=c=1, V_B=V_D$ の時の、この実現回路を示す。図15(b)は、 $a=b=c=1, m=n, V_B=V_D$ の時の、最も単純な実現回路を示す。また、図15(c)は、 $a=2, b=c=1, m=n, V_B=V_D$ の時に、 V_x の値を半分にした場合の、他の単純な実現回路を示す。

V. 測定結果

図4(d)と図5(c)に示したMOSマルチプライヤ・コア回路と、図12と図15(b)に示したMOSマルチプライヤの伝達特性は、 n チャンネルパワーMOSアレー $\mu\text{PA}572$ Tと p チャンネルパワーMOSアレー $\mu\text{PA}503$ T⁽²⁰⁾と個別抵抗を用いて確認した。これらのMOSトランジスタのスレッシュホールド電圧はおおよそ1.5Vであり、トランスコンダクタンスパラメータ (β) は、通常の一般的なCMOSプロセスに比べると、およそ2桁程度大きな値である。したがって、広い入力電圧範囲を確保するためには、供給電圧を高くし、テール電流を大きくする必要がある。以下の測定においては、電源電圧 (V_{DD}) を5V、テール電流 (I_0) を50mAに設定し、負荷抵抗 (R_L) は20Ωである。

図4(d)、あるいは図5(c)に示すMOSマルチプライヤの直流伝達特性を、同じテール電流で駆動される同一のMOSトランジスタからなるMOS差動対の直流伝達特性と比較し

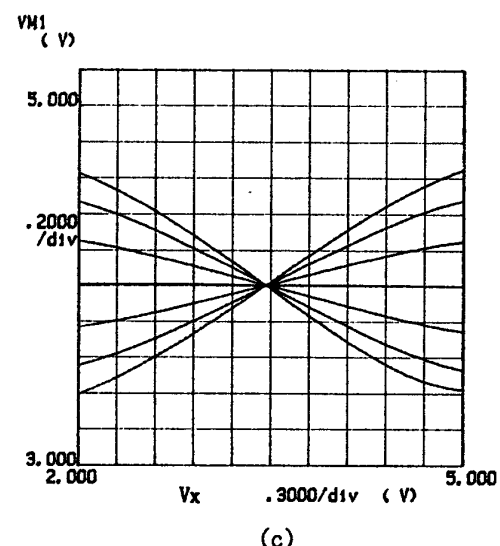
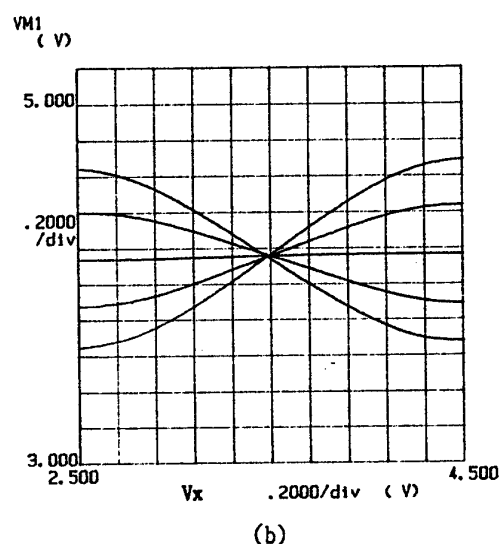
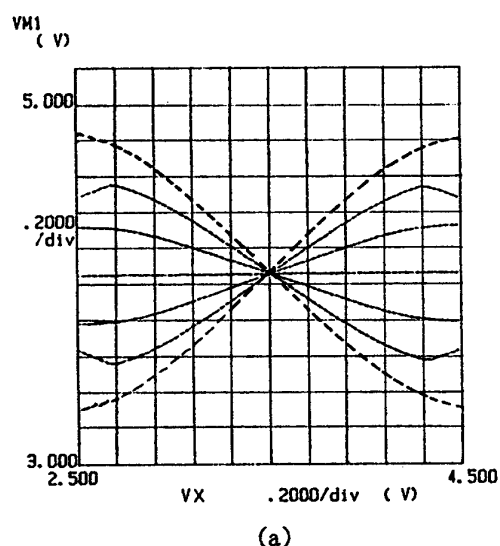


図 1 6 MOS 4 象限アナログマルチプライヤの測定値。

(a) 図 4 (d)あるいは図 5 (c)の MOS マルチプライヤ・コア回路 (パラメータ: $V_T=0$ mV, ± 250 mV, ± 500 mV)。比較のため、波線で MOS 差動対の直流伝達特性を示す。(b) 図 1 2 の CMOS マルチプライヤ (パラメータ: $V_T=0$ mV, ± 250 mV, ± 500

mV)。(c) 図 1 5 (b)に示す分圧抵抗を持つ MOS マルチプライヤ (パラメータ: $V_T=0$ V, ± 0.5 V, ± 1 V, ± 1.5 V)。

て、図 1 6 (a)に、パラメータを $V_T=0$ mV, ± 250 mV, ± 500 mV とした場合について示す。マルチプライヤ・コア回路とカスコード・クアドリテールセルで構成される入力回路を含む CMOS マルチプライヤの乗算特性の測定結果は、文献 (1 2) で既に報告されている。

図 1 6 (b)に、図 1 2 に示す CMOS マルチプライヤの直流伝達特性を、パラメータを $V_T=0$ mV, ± 250 mV, ± 500 mV とした場合について示す。

図 1 6 (c)に、図 1 5 (b)に示す分圧抵抗を持つ CMOS マルチプライヤの直流伝達特性を、パラメータを $V_T=0$ V, ± 0.5 V, ± 1 V, ± 1.5 V とした場合について示す。

VI. 結論

クアドリテールセルからなる MOS マルチプライヤ・コア回路と入力回路について、詳しく回路解析し、論じた。MOS マルチプライヤ・コア回路を構成する 4 つのトランジスタのそれぞれのゲートに印加される、第一と第二の入力電圧の組み合わせ方法は、ブルトとヴァリング、あるいは、ブルトの提案した以外にも数多くあるという結論に達した。したがって、クアドリテールセルをマルチプライヤ・コア回路とみなすことは、極めて妥当である。特に、マルチプライヤ・コア回路を構成するトランジスタの全てのゲート電圧が、正のみで表される入力電圧は、簡単な回路で実現するためには、非常に有意義である。例えば、提案した CMOS マルチプライヤの入力回路は 2 対の MOS 差動対で構成され、ブルトが提案し、ワンが再提案した入力回路よりも MOS 差動対が 1 対少なく、他の提案した入力回路は分圧抵抗のような受動素子のみからなる。

マルチプライヤ・コア回路を用いた MOS マルチプライヤは集積回路に非常に適し、3 V 以下の電源電圧での低電圧でのアプリケーションに適する。さらに、これらは、GaAs MESFET や HEMT などの化合物半導体プロセスを用いると、非常に高い周波数でのアプリケーションにも適する。

謝辞

技術的な点を助言をしてくれたバーリー・ギルバートに感謝します。

[参考文献]

- (1) K. Kimura, "A Unified Analysis of Four-Quadrant Analog Multipliers Consisting of Emitter and Source-Coupled Transistors Operable on Low Supply Voltage," IEICE Trans. Electron., vol. E76-C, no. 5, pp. 714-737, May 1993.
- (2) 西城和幸「掛算器」特開昭63—56767.
- (3) T. Tsukahara and M. Ishikawa, "Low Voltage Techniques for High-Frequency Si-Bipolar Circuits," IEICE MWE'93 Microwave Workshop Digest, pp. 357-360, Sept. 1993.
- (4) H. E. Jones, "Dual Output Synchronous Detector Utilizing Transistorized Differential Amplifiers," US Patent 3,241,078 (March 15, 1966).
- (5) B. Gilbert, "A Precise Four-Quadrant Multiplier with Subnanosecond Response," IEEE J. Solid-State Circuits, vol. SC-3, no. 4, pp. 365-373, Dec. 1968.
- (6) M. H. Cheng and C. Toumazou, "Linear Composite MOSFET: Theory, Design, and Applications," IEEE Trans. Circuit., Syst.-I, vol. 49, no. 5, pp. 297-306, May 1993.
- (7) J. P. Sage and A. M. Capon, "CCD Analog-Analog Correlator with Four-FET Bridge Multipliers," Proc. 11th Int., Conf. (1979), Japanese J. Applied Physics, vol. 19, Supplement 19-1, pp. 265-268, 1980.
- (8) J. Mavor, "Analogue CCD Correlator Using Monolithic MOST Multipliers," IEE Elect. Lett., 13(1977), pp. 373-374.
- (9) Z. Wang, "A Four-Transistor Four-Quadrant Analog Multiplier Using MOS Transistors Operating in the Saturation Region," IEEE Trans. Instrumentation and Measurement, vol. 42, no. 1, pp. 75-77, Feb. 1993.
- (10) L. J. Seven, Jr., *Field-Effect Transistors*, New York: McGraw-Hill, 1965.
- (11) H. Song and C. Kim, "An MOS Four-Quadrant Analog Multiplier Using Simple Two-Input Squaring Circuits with Source Followers," IEEE J. Solid-State Circuits, vol. 25, no. 3, pp. 841-848, June 1990.
- (12) K. Kimura, "A Bipolar Four-Quadrant Analog Quarter-Square Multiplier Consisting of Unbalanced Emitter-Coupled Pairs and Expansion of Its Input Range," IEEE J. Solid-State Circuits, vol. 29, no. 1, pp. 46-55, Jan. 1994.
- (13) K. Bult "Analog CMOS Square-Law Circuits," Ph. D. dissertation, University of Twente, The Netherlands, 1988.
- (14) K. Kimura, "An MOS Operational Transconductance Amplifier and an MOS Four-Quadrant Analog Multiplier Using the Quadritail Cell," IEICE Trans. Fundamentals, vol. E75-A, no.12, pp. 1774-1776, Dec. 1992.
- (15) Z. Wang, "A CMOS Four-Quadrant Analog Multiplier with Single-Ended Voltage Output and Improved Temperature Performance," IEEE J. Solid-State Circuit, vol. 26, no. 9, pp. 1293-1301, Sept. 1991.
- (16) K. Bult and H. Wallinga, "A CMOS Four-Quadrant Analog Multiplier," IEEE J. Solid-State Circuits, vol. SC-21, no. 3, pp. 430-435, June 1986.
- (17) R. R. Torrance, T. R. Viswanathan and J. V. Hanson, "CMOS Voltage to Current Transducers," IEEE Trans. Circuit., Systems, vol. CAS-32, no. 11, pp. 1097-1104, Nov. 1985.
- (18) Z. Wang and W. Guggenbuhl, "A Voltage-Controllable Linear MOS Transconductor Using Bias Offset Technology," IEEE J. Solid-State Circuits, vol. 25, no. 1, pp. 315-317, Feb. 1990.
- (19) Z. Hong and H. Melchior, "Analogue Four-Quadrant CMOS Multiplier with Resistors," IEE Elect. Lett., 6th June 1985, vol. 21, no. 12.
- (20) μ PA503T, μ PA572T, NEC 半導体データブック.